

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

011194188 **Image available**

WPI Acc No: 1997-172113/199716

XRPX Acc No: N97-142042

**CMOS inverter circuit - has several inverters connected in parallel
between input and output terminal**

Patent Assignee: SHARP KK (SHAF); TAKAYAMA KK (TAKA-N)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9036730	A	19970207	JP 95205167	A	19950719	199716 B

Priority Applications (No Type Date): JP 95205167 A 19950719

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9036730	A	7	H03K-019/20	

Abstract (Basic): JP 9036730 A

The circuit has several inverters (INV1-INVn) connected in parallel between its input terminal (Vin) and output terminal (Vout).

ADVANTAGE - Stabilises inverter performance by absorbing inherent variations of each inverter. Equalises characteristics of different types of inverters with proximity of their configuration.

Dwg. 1/9

Title Terms: CMOS; INVERTER; CIRCUIT; INVERTER; CONNECT; PARALLEL; INPUT;
OUTPUT; TERMINAL

Derwent Class: U21

International Patent Class (Main): H03K-019/20

International Patent Class (Additional): H03K-019/0185; H03K-019/0948

File Segment: EPI

?

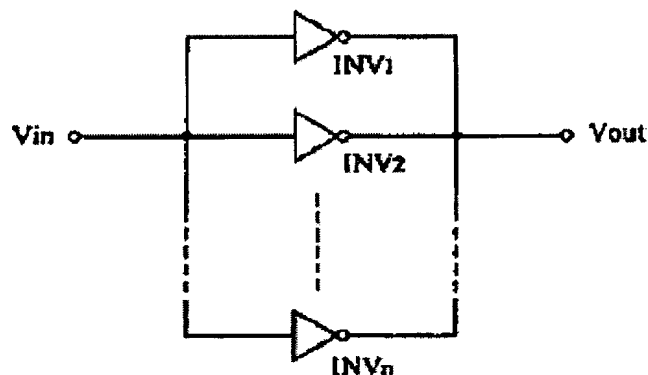
INVERTER CIRCUIT

Patent number: JP9036730
Publication date: 1997-02-07
Inventor: KOTOBUKI KOKURIYOU; YAMAMOTO MAKOTO;
TAKATORI SUNAO
Applicant: YOZAN:KK;; SHARP CORP
Classification:
- **international:** H03K19/20; H03K19/0185; H03K19/0948
- **europaean:**
Application number: JP19950205167 19950719
Priority number(s):

Abstract of JP9036730

PROBLEM TO BE SOLVED: To obtain the inverter circuit with stable performance by connecting plural unit inverters in parallel to absorb dispersion in the property of the unit inverters.

SOLUTION: Plural unit inverters INV1-n are connected in parallel between an input terminal Vin and an output terminal Vout. Each of the inverters INV1-n are a CMOS inverter consisting of series connection of p-channel and n-channel MOSFETs. Then characteristics of bipolar transistors (TRs) are averaged through parallel connection to improve the performance. Thus, the plural inverters INV1-n are connected in parallel to improve the accuracy of the threshold level more than the case with single connection and then the inverter circuit with stable performance is obtained.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36730

(43) 公開日 平成9年(1997)2月7日

(51) Int. Cl. ⁶

識別記号

F I

H03K 19/20

9199-5K

H03K 19/20

19/0185

19/00

101

B

19/0948

19/094

B

審査請求 未請求 請求項の数 3 F D (全7頁)

(21) 出願番号

特願平7-205167

(22) 出願日

平成7年(1995)7月19日

(71) 出願人 390010515

株式会社鷹山

東京都世田谷区北沢3-5-18 鷹山ビル

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 寿 国梁

東京都世田谷区北沢3-5-18 鷹山ビル

株式会社鷹山内

(72) 発明者 山本 誠

東京都世田谷区北沢3-5-18 鷹山ビル

株式会社鷹山内

(74) 代理人 弁理士 山本 誠

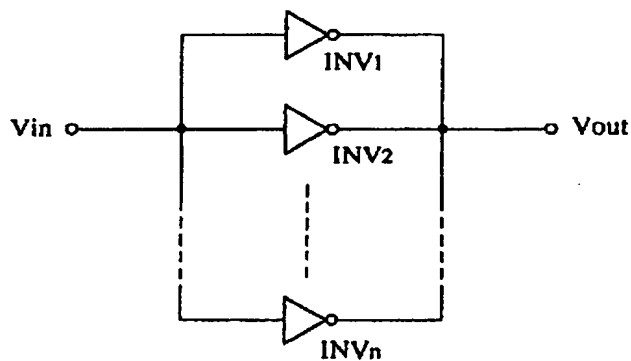
最終頁に続く

(54) 【発明の名称】 インバータ回路

(57) 【要約】

【目的】 個々のインバータの特性値のバラツキに影響されことなく、安定した性能を実現できるインバータ回路を提供することを目的とする。

【構成】 入力端子VINと出力端子VOUTとの間に、複数のインバータINV1, INV2, ..., INVnが並列に接続されて構成されている。



【特許請求の範囲】

【請求項 1】 入力端子と出力端子との間に、複数の単位インバータ回路を並列に設けたことを特徴とするインバータ回路。

【請求項 2】 単位インバータ回路は、直列に接続された pMOS 型 FET と nMOS 型 FET とから構成された C-MOS インバータよりなることを特徴とする請求項 1 に記載のインバータ回路。

【請求項 3】 LSI 基盤上に複数のインバータ回路のための単位インバータ回路を近接させつつ 2 次元的に配列し、異なるインバータ回路における対応位置の単位インバータを相互に隣接配置してある請求項 1 記載のインバータ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、インバータ回路に関し、特に複数の C-MOS インバータを利用したインバータ回路に関する。

【0002】

【従来の技術】 従来から、集積回路内では、pMOS 型 FET と nMOS 型 FET とを直列に接続して構成される C-MOS インバータが用いられている。

【0003】

【発明が解決しようとする課題】 しかしながら、上述した従来のインバータを 1 個用いて構成されるインバータ回路は、インバータを構成する FET の性能のバラツキにより、閾値電圧等の設定にバラツキが生じ、安定的な性能を保証できないという問題がある。

$$V_{in} = \frac{V_{DD} + V_{tp} + V_{tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad (1)$$

$$\sum \beta_{pi} (V_{in} - V_{DD} - V_{tpi})^2 = \sum \beta_{ni} (V_{in} - V_{tni})^2 \quad (2)$$

【0009】 ただし、 β_p 、 β_n は、それぞれ pMOS 型 FET と nMOS 型 FET とにおける電子の易動度を μ_p 、 μ_n 、単位面積当たりのゲート酸化膜の誘電率及び厚さをそれぞれ ϵ 、 t_{ox} 、チャネル幅を W_p 、 W_n 、チャネ

$$\beta_p = \frac{\mu_p \epsilon}{t_{ox}} \cdot \frac{W_p}{L_p} \quad (3)$$

$$\beta_n = \frac{\mu_n \epsilon}{t_{ox}} \cdot \frac{W_n}{L_n} \quad (4)$$

【0011】 閾値のバラツキは β の値により正規分布として現れるが、式 (2) には 2 項の β が含まれるため、この式を解析的に解くことはできない。しかしながら、バイポーラ型のトランジスタを並列接続すると性能が向上することは従来から知られており、一般的に素子を並列接続した場合には互いの特性が平均されて統計的に見

【0004】

【発明の目的】 この発明は、上述した従来技術の課題に鑑みてなされたものであり、個々のインバータの特性値のバラツキに影響されることなく、安定した性能を実現できるインバータ回路を提供することを目的とする。

【0005】

【課題を解決するための手段】 この発明にかかるインバータ回路は、上記の目的を達成させるため、入力端子と出力端子との間に、複数の単位インバータ回路を並列に設けたことを特徴とする。

【0006】

【実施例】 以下、この発明にかかるインバータ回路の実施例を説明する。実施例のインバータ回路は、図 1 に示すように、入力端子 V_{in} と出力端子 V_{out} との間に、複数の単位インバータ $INV1$ 、 $INV2$ 、 \dots 、 $INVn$ が並列に接続されて構成されている。

【0007】 それぞれの単位インバータは、図 2 に示したように pMOS 型 FET と nMOS 型 FET とを直列に接続して構成される C-MOS インバータである。単一の C-MOS インバータの閾値電圧 V_{in} は、pMOS 型 FET に印加されるソース電圧を V_{DD} 、pMOS 型 FET の閾値電圧を V_{tp} 、nMOS 型 FET の閾値電圧を V_{tn} として、以下の式 (1) で表される。一方、 n 個のインバータが並列に接続された場合には、その閾値電圧 V_{in} は以下の式 (2) で与えられる。

【0008】

【数 1】

ル長を L_p 、 L_n として、以下の式 (3)、(4) で表される係数である。

【0010】

【数 2】

れば安定した性能が実現できることが予測される。

【0012】 この予測は実験により確認されている。シミュレーション実験によると、式 (1) で表される閾値電圧 V_{in} の分散 $V1(V_{in})$ は、式 (2) で表される閾値電圧 V_{in} の分散 $V2(V_{in})$ より大きいことが判明した。

【0013】図3は、2つの単位インバータを並列接続したインバータ回路の電圧特性を示すグラフである。グラフ中の□-□線で表されるのは入力端子Vinへの印加電圧、△-△線、▽-▽線で表されるのは、それぞれの単位インバータの特性であり、○-○線で示されるのが2つの単位インバータを並列接続したインバータ回路の特性である。

【0014】図3から理解できるように、2つの単位インバータを並列接続することにより、それぞれのインバータの特性を平均した特性が得られる。このことは、例えば単位インバータの数を3以上にした場合にも同様である。したがって、複数の単位インバータを並列接続することにより、単一の場合よりも閾値の精度を統計的に向上させることができる。

【0015】図4は2グループの複数の単位インバータを用いて2個のインバータ回路を構成するための単位インバータの配列を示す。図5は各インバータ回路を明確にするための図4の等価回路であり、各インバータ回路は12個の単位インバータa1~a12、b1~b12を並列接続してなり、a1~a12入力出力端子はVin1、Vout1を出力し、b1~b12の入力出力端子はVin2、Vout2である。

【0016】図4の配列において、一方のインバータ回路の単位インバータと他方のインバータ回路の単位インバータとが交互に直線的に配列され、これによって両インバータ回路の対応する単位インバータ、例えばa1とb1、a2とb2が隣接配置されている。一般にLSI内において、同一パターンで作成されかつ近接配置された素子は実質的に同一特性となるため、これらの単位インバータ対は実質的に同一特性となる。このような略同一特性の単位インバータを並列させることにより、第1、第2のインバータ回路の特性は極めて近似したものとなり、ばらつき解消の効果とあいまって、設計値との誤差もわずかとなる。

【0017】図6は、3段インバータ回路を接合キャパシタンスを介して2段階接続した回路を2系統構成するための単位インバータの配置を示す。図7の等価回路において、その第1の系統は、第1の3段インバータにおいて、単位インバータa11、a12、a13、a14を並列接続した第1段、単位インバータb11、b12、b13、b14を並列接続した第2段、単位インバータc11、c12、c13、c14を並列接続した第3段を直列接続している。また第2の3段インバータでは、単位インバータd11、d12、d13、d14を並列接続した第1段、単位インバータe11、e12、e13、e14を並列接続した第2段、単位インバータf11、f12、f13、f14を並列接続した第3段を直列接続し、第1の3段インバータの出力を接合キャパシタンスCC1を介して第2の3段インバータに接続している。一方第2系統においては、並列単位インバー

タa21、a22、a23、a24による第1段、b21、b22、b23、b24による第2段、c21、c22、c23、c24による第3段を直列接続して第1の3段インバータを構成し、並列単位インバータd21、d22、d23、d24による第1段、e21、e22、e23、e24による第2段、f21、f22、f23、f24による第3段を直列接続して第2の3段インバータを構成している。そして第1の3段インバータは接合キャパシタンスCC2を介して第2の3段インバータに接続されている。ここに図6では、接合キャパシタンスは図示せず、接合キャパシタンスCC1への接続端子C11、C12、およびCC2への接続端子C21、C22のみ図示している。なお第1系統の入出力端子はVin1、Vin2、第2系統の入出力端子はVin2、Vout2である。

【0018】以上の回路を構成するための図6の配列において、第1の3段インバータにおける第1段のインバータ回路は、第1系統の単位インバータa11~a14と、第2系統の単位インバータa21~a24とが交互に配列され、対応単位インバータが隣接配置されている。またa11~a14、およびa21~a24入出力がそれぞれ並列接続され、特性ばらつきが抑制されている。第2段においては、第1系統と第2系統の順序を逆転しつつ、両系統の単位インバータを交互に配列している。すなわち第2系統の単位インバータb21~b24と、第1系統の単位インバータb11~b14が交互に配列され、対応単位インバータの隣接配置と、複数単位インバータの並列接続が行われている。第3段では第1系統と第2系統の関係が第1段の状態に戻り、従って全体としては、第1、第2系統の単位インバータが千鳥配列されている。このような構成によっても、図4の構成と同様の効果を奏することができる。第2の3段インバータにおいても、第1の3段インバータと同様の交互配列および千鳥配列が行われ、第1の3段インバータと同様に、両系統の特性均一化、高精度化が実現されている。

【0019】図8は4系統の3段インバータを構成するための単位インバータの配列を示す。図9の等価回路において、その第1の系統は、単位インバータa11、a12、a13、a14を並列接続した第1段、単位インバータb11、b12、b13、b14を並列接続した第2段、単位インバータc11、c12、c13、c14を並列接続した第3段を直列接続し、第2系統においては、並列単位インバータa21、a22、a23、a24による第1段、b21、b22、b23、b24による第2段、c21、c22、c23、c24による第3段を直列接続し、第3系統においては、並列単位インバータa31、a32、a33、a34による第1段、b31、b32、b33、b34による第2段、c31、c23、c33、c34による第3段を直列接続

し、第4系統においては、並列単位インバータ a 4 1、a 4 2、a 4 3、a 4 4による第1段、b 4 1、b 4 2、b 4 3、b 4 4による第2段、c 4 1、c 4 2、c 4 3、c 4 4による第3段を直列接続してなる。ここに第1、第2、第3、第4系統の入出力端子は、それぞれ Vin 1、Vin 1、Vin 2、Vout 2、Vin 3、Vout 3、Vin 4、Vout 4である。

【0020】以上の回路を構成するための図9の配列において、第1段のインバータ回路においては、第1、第2系統の単位インバータ a 1 1～a 1 4と、a 2 1～a 2 4とが直線的に交互に配列され、また第3、第4系統の単位インバータ a 3 1～a 3 4と、a 4 1～a 4 4が直線的に交互に配列されている。そして第1、第2系統の列と、第3、第4系統の列は隣接配置され、対応する単位インバータ、例えば a 1 1、a 2 1、a 3 1、a 4 1は上下左右の位置関係で近接配置されている。そして、第2段、第3段についても同様の位置関係の配列が行われている。すなわち全体として、異なる系列の対応単位インバータの近接配置による特性均一化、複数単位インバータの並列化による精度向上が実現されている。

【0021】

【発明の効果】以上説明したように、この発明によれば、複数の単位インバータを並列接続して用いることにより、個々の単位インバータの性質のバラツキを吸収して統計的に安定した性能のインバータ回路を実現することができ、また異なるインバータ回路の対応単位インバータを近接配置することにより、インバータ回路の特性均一化を図ることができる。

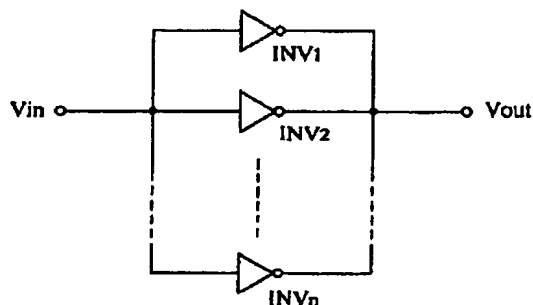
【図面の簡単な説明】

【図1】 この発明にかかるインバータ回路の実施例を示す回路図である。

【図2】 図1の回路に用いられる単位インバータの回路図である。

【図3】 2個の単位インバータの電圧特性と、これらを並列接続したインバータ回路の電圧特性とを示すグラフである。

【図1】



【図4】 2個のインバータ回路のための単位インバータの配列を示す回路図（平面図）である。

【図5】 図4の回路の等価回路を示す回路図である。

【図6】 2個の3段インバータ回路を直列した回路を2系統構成するための単位インバータの配列を示す回路図（平面図）である。

【図7】 図6の回路の等価回路を示す回路図である。

【図8】 4系統の3段インバータ回路を構成するための単位インバータの配列を示す回路図（平面図）である。

【図9】 図8の回路の等価回路を示す回路図である。

【符号の説明】

INV1、INV2、…、INVn … インバータ
Vin、Vin 1、Vin 2、Vin 3、Vin 4 … 入力端子

Vout、Vout 1、Vout 2、Vout 3、Vout 4 … 出力端子

a 1 1～a 1 4、a 2 1～a 2 4、a 3 1～a 3 4、a 4 1～a 4 4、b 1 1～b 1 4、b 2 1～b 2 4、b 3 1～b 3 4、b 4 1～b 4 4、c 1 1～c 1 4、c 2 1～c 2 4、c 3 1～c 3 4、c 4 1～c 4 4、d 1 1～d 1 4、d 2 1～d 2 4、d 3 1～d 3 4、d 4 1～d 4 4、e 1 1～e 1 4、e 2 1～e 2 4、e 3 1～e 3 4、e 4 1～e 4 4、f 1 1～f 1 4、f 2 1～f 2 4、f 3 1～f 3 4、f 4 1～f 4 4 … 単位キャパシタンス。=====

===== 1995-07-18 16:10:01

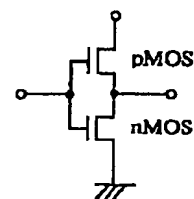
<<Start>> A:¥JSDOC¥PATENT¥YZN95010¥明細書.DOC

<< End >> A:¥JSDOC¥PATENT¥YZN95010¥明細書.DOC

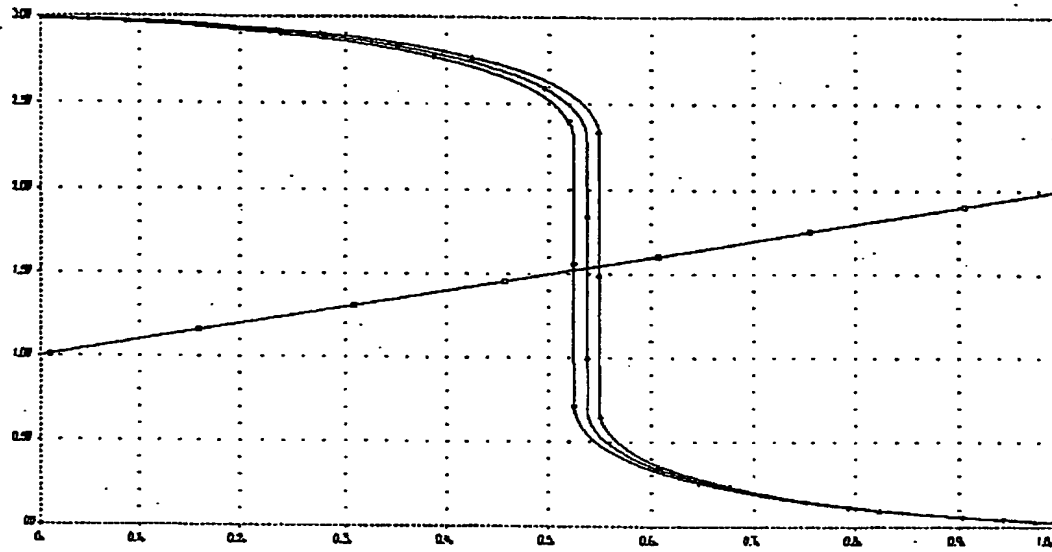
<<Start>> A:¥JSDOC¥PATENT¥YZN95010¥要約書.DOC

<< End >> A:¥JSDOC¥PATENT¥YZN95010¥要約書.DOC

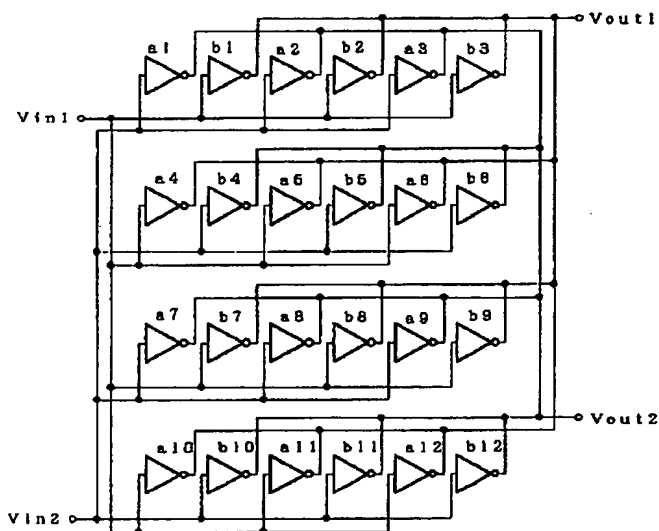
【図2】



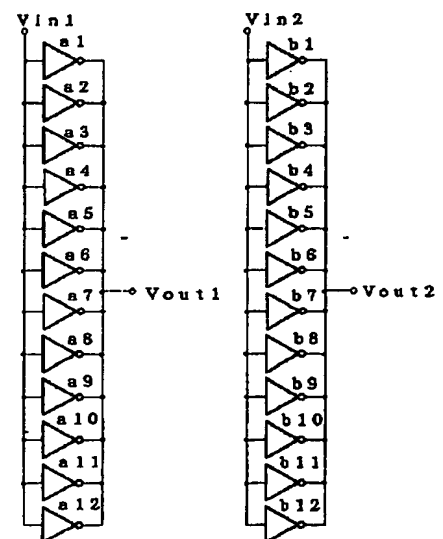
【図3】



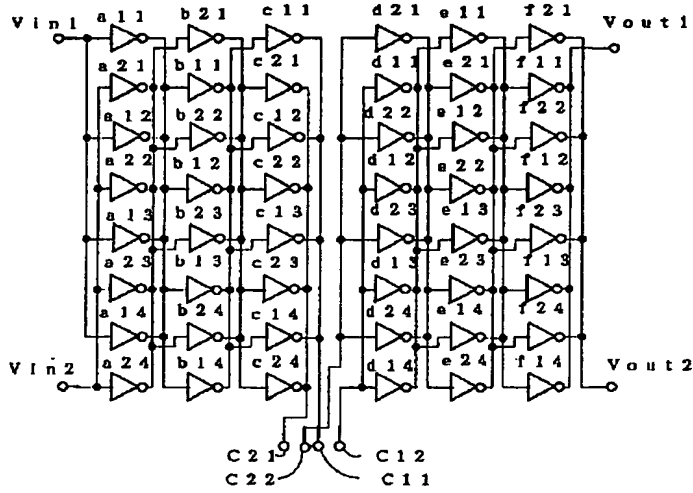
【図4】



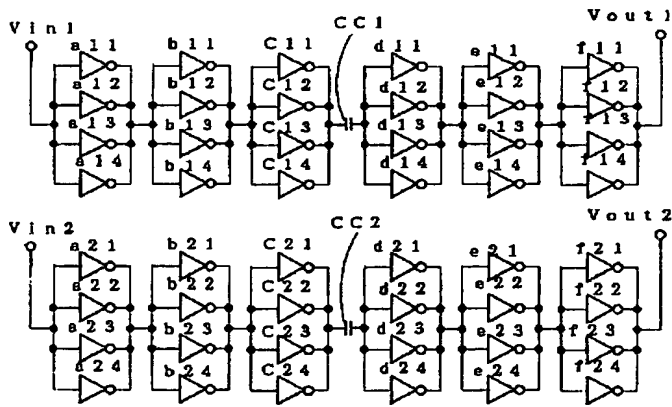
【図5】



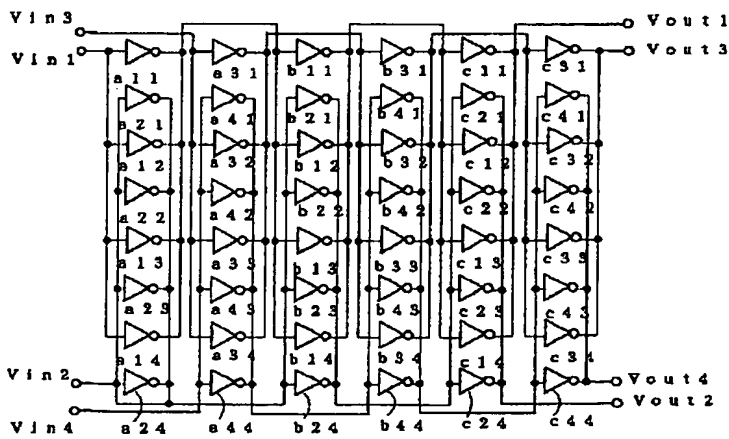
【図6】



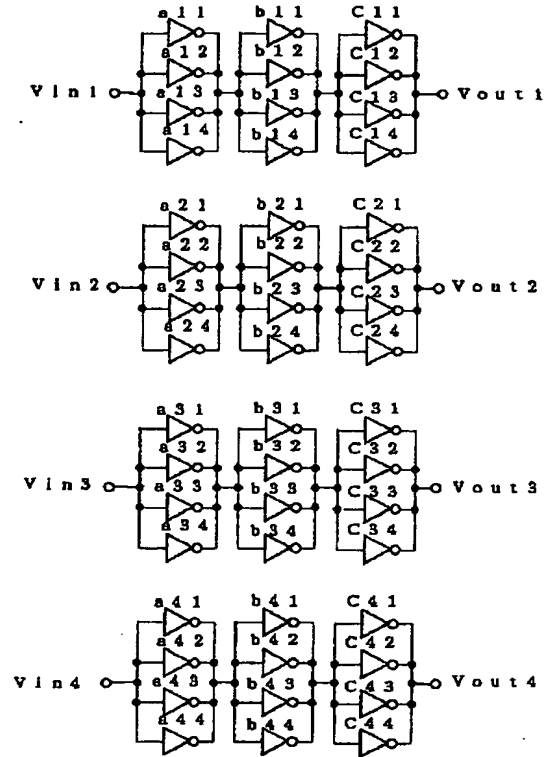
【図7】



【図8】



【図9】



【手続補正書】

【提出日】平成 7 年 1 1 月 2 4 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

INV1、INV2、…、INVn … インバータ
Vin、Vin1、Vin2、Vin3、Vin4 …
入力端子
Vout、Vout1、Vout2、Vout3、Vo

ut4 … 出力端子

a11～a14、a21～a24、a31～a34、a
41～a44、b11～b14、b21～b24、b3
1～b34、b41～b44、c11～c14、c21
～c24、c31～c34、c41～c44、d11～
d14、d21～d24、d31～d34、d41～d
44、e11～e14、e21～e24、e31～e3
4、e41～e44、f11～f14、f21～f2
4、f31～f34、f41～f44 … 単位キャパ
シタンス。

フロントページの続き

(72)発明者 高取 直

東京都世田谷区北沢 3 - 5 - 18 鷹山ビル
株式会社鷹山内